

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

15847984

Basic Patent (No,Kind,Date): JP 2000047255 A2 20000218 <No. of Patents: 002>

LIQUID CRYSTAL DISPLAY PANEL (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): KANEKO NAOMI; MINAMINO YUTAKA; NAKAMURA MIKA

IPC: *G02F-001/136; G02F-001/1345; G09G-003/36

Derwent WPI Acc No: *G 00-228333; G 00-228333

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 2000047255	A2	20000218	JP 98210714	A	19980727	(BASIC)
JP 3263365	B2	20020304	JP 98210714	A	19980727	

Priority Data (No,Kind,Date):

JP 98210714 A 19980727

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06461681 **Image available**

LIQUID CRYSTAL DISPLAY PANEL

PUB. NO.: **2000-047255** [JP 2000047255 A]

PUBLISHED: February 18, 2000 (20000218)

INVENTOR(s): KANEKO NAOMI
 MINAMINO YUTAKA
 NAKAMURA MIKA

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD

APPL. NO.: 10-210714 [JP 98210714]

FILED: July 27, 1998 (19980727)

INTL CLASS: G02F-001/136; G02F-001/1345; G09G-003/36

ABSTRACT

PROBLEM TO BE SOLVED: To make it possible to check pixel defects in a state of an array substrate before liquid crystal filling process, and moreover, inspect the substrate in a short time.

SOLUTION: Relating to a liquid crystal display panel displaying by a line-sequential method, a scanning signal line drive circuit 18 which transmits scanning signals to scanning signal lines V1,..., Vn, and an image signal line drive circuit 17 which transmits image signals to image signal lines S1,..., Sn are formed of semiconductor layers formed on the array substrate 11. The end parts on one side of the image signal lines S1,..., Sn connected with the image signal line drive circuit 17, and the end parts on the other side of the image signal lines S1,..., Sn are connected with a pixel defect inspection circuit 20 for checking pixel defects. The pixel defect inspection circuit 20 is composed of semiconductor layers formed on the array substrate 11.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-47255

(P 2 0 0 0 - 4 7 2 5 5 A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G02F 1/136	500	G02F 1/136	2H092
1/1345		1/1345	5C006
G09G 3/36		G09G 3/36	

審査請求 未請求 請求項の数 4 O L (全12頁)

(21) 出願番号 特願平10-210714

(22) 出願日 平成10年7月27日 (1998.7.27)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 金子 尚美

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 南野 裕

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100101823

弁理士 大前 要

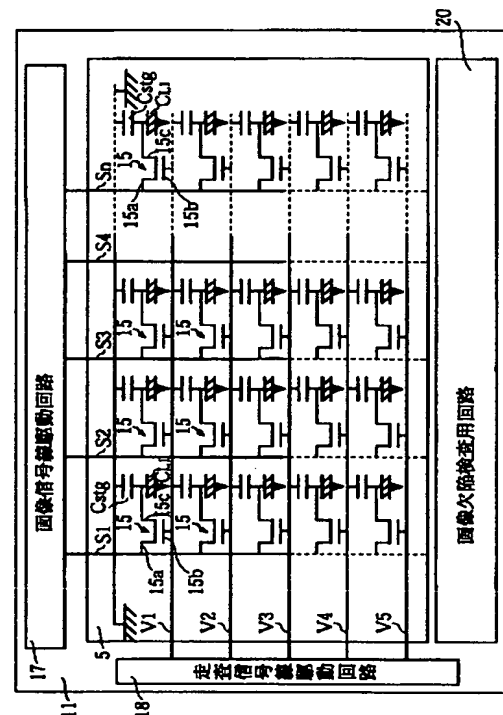
最終頁に続く

(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】 液晶注入工程前のアレイ基板の状態において、画素欠陥の検査を行うことができ、しかも短い時間で検査を行うことができるようにした液晶表示パネルを提供する。

【構成】 線順次駆動方式により表示を行う液晶表示パネルである。走査信号線V1, ..., Vnに走査信号を伝達する走査信号線駆動回路18及び画像信号線S1, ..., Snに画像信号を伝達する画像信号線駆動回路17が、前記アレイ基板11上に形成された半導体層により構成されている。画像信号線S1, ..., Snの一方側の端部には、画像信号線駆動回路17が接続され、画像信号線S1, ..., Snの他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路20が接続されている。画素欠陥検査用回路20は、アレイ基板11上に形成された半導体層により構成されている。



【特許請求の範囲】

【請求項 1】 複数の画像信号線と複数の走査信号線とがマトリクス状に形成され、且つ画像信号線と走査信号線との各交点近傍位置にそれぞれ画素スイッチング素子が形成されたアレイ基板を備え、前記走査信号線に走査信号を伝達する走査信号線駆動回路及び前記画像信号線に画像信号を伝達する画像信号線駆動回路が、前記アレイ基板上に形成された半導体層により構成され、線順次駆動方式により表示を行う液晶表示パネルにおいて、前記画像信号線の一方側の端部には、前記画像信号線駆動回路が接続され、画像信号線の他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路が接続されており、この画素欠陥検査用回路は、前記アレイ基板上に形成された半導体層により構成されていることを特徴とする液晶表示パネル。

【請求項 2】 前記画素欠陥検査用回路は、各画像信号線毎に設けられ、各画像信号線を介して 1 走査信号線毎に読み出された各画素毎の容量に蓄積されている電荷の放電電流値または放電電圧値と、予め定めた基準値とを比較して、大小関係に応じた論理値に変換して出力する比較回路と、前記各比較回路からの出力の論理積を求めて出力する論理回路と、を有することを特徴とする請求項 1 記載の液晶表示パネル。

【請求項 3】 前記比較回路と前記論理回路との間に、比較回路の出力パルスのパルス幅を広げる信号処理回路が設けられていることを特徴とする請求項 2 記載の液晶表示パネル。

【請求項 4】 複数の画像信号線と複数の走査信号線とがマトリクス状に形成され、且つ画像信号線と走査信号線との各交点近傍位置にそれぞれ画素スイッチング素子が形成されたアレイ基板を備え、前記走査信号線に走査信号を伝達する走査信号線駆動回路及び前記画像信号線に画像信号を伝達する画像信号線駆動回路が、前記アレイ基板上に形成された半導体層により構成され、点順次駆動方式により表示を行う液晶表示パネルにおいて、前記画像信号線の一方側の端部には、前記画像信号線駆動回路が接続され、画像信号線の他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路が接続されており、この画素欠陥検査用回路は、前記画像信号線駆動回路と同一の回路構成を有し、且つ前記アレイ基板上に形成された半導体層により構成されていることを特徴とする液晶表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画素スイッチング素子として薄膜トランジスタ (TFT: Thin Film Transistor) などのアクティブ素子を使用したアクティブマトリクス方式の液晶表示パネルに関し、特に、液晶注入工程前のアレイ基板の状態において画素欠陥を検査する

ことが可能な液晶表示パネルに関する。

【0002】

【従来の技術】 ポリシリコン薄膜トランジスタ (以下 p-Si TFT と略す) をスイッチング素子とするアクティブマトリクス型液晶表示パネルは、表示部を構成する画素トランジスタと同一の基板上に駆動回路を内蔵することができるという特徴がある。このような TFT マトリクスアレイを備えた液晶表示パネルの駆動方式としては、点順次駆動方式と線順次駆動方式の 2 通りがある。

【0003】 ところで、近年の液晶パネルの大画面化、高精細化に伴い、1 枚の液晶パネルの画素数が極めて大きくなり、これに応じて画素スイッチング素子としての TFT や画像信号線・走査信号線の配線もまた極めて多数となる。そのため、TFT の不良に起因した画素欠陥や、ソース線等の断線・短絡その他の線欠陥の発生する頻度も高い。従って、TFT の不良やソース線等の線欠陥を、予め検査しておくことが必要となる。しかも、画素欠陥等の検査は、液晶表示パネルの製造の際の最終工程である液晶注入工程以前の状態、即ち TFT アレイ基板の状態において検査することが要請される。なぜなら、液晶注入工程後に画素欠陥の検査を行うと、画素欠陥を発見した場合に液晶表示パネル全体を破棄しなければならず、製造歩留りの低下を招くからである。

【0004】 しかしながら、従来では TFT アレイ基板の状態において、効率的な検査方法はほとんど確立されておらず、断線・短絡その他の線欠陥についてのみ検査することができる程度であった。画素欠陥を検査する場合は、TFT アレイ基板と対向基板間に液晶を注入して液晶表示パネルを作製した後、液晶表示パネルに電圧を印加し、液晶表示動作を目視により観察して画素欠陥の有無を検査していた。しかし、液晶表示パネル作製後に検査を行うため、上記したように画素欠陥が発見された場合に、液晶が注入された液晶表示パネル全体を破棄することになり、製造歩留りの低下を招く。

【0005】 そこで、液晶注入工程前の状態において、画素欠陥を検出することが要請されており、かかる要請に答えるべく、特開平 7-77553 号公報に開示されている画素欠陥検査装置が提案されている。この画素欠陥検査装置は、液晶注入工程前の TFT アレイ基板の状態において、TFT アレイ基板に内蔵されている駆動回路の一部を構成する走査用シフトレジスタを利用することにより、1 画素毎に順次画素欠陥を検査するように構成されている。

【0006】

【発明が解決しようとする課題】 しかしながら、上記の従来例では、駆動回路に走査用シフトレジスタが組み込まれた点順次駆動方式の液晶表示パネルにしか使用できず、線順次駆動方式の液晶表示パネルに使用することができないという課題がある。

【0007】 また、点順次駆動方式の液晶表示パネルで

あっても、アレイ基板に駆動回路を形成した、駆動回路内蔵型の液晶表示パネルの場合、上記従来例の検査装置を用いて検査を行っても、信頼性の点において問題が生じる。なぜなら、駆動回路を基板に作り込む工程において駆動回路自体に何等かの不良が発生するおそれがあり、かかる駆動回路自体の不良の発生に起因して、画素欠陥検査の信頼性が低下することになるからである。

【0008】更に、上記従来技術では、1画素毎に順次画素欠陥を検査するため、検査時間が長く、検査効率が悪いという課題がある。

【0009】本発明の目的は、上記課題に鑑み、液晶注入工程前のアレイ基板の状態において、画素欠陥の検査を行うことができ、しかも短い時間で検査を行うことができるようにした液晶表示パネルを提供することである。

【0010】

【課題を解決するための手段】上記の課題を解決するため、本発明のうちの請求項1記載の発明は、複数の画像信号線と複数の走査信号線とがマトリクス状に形成され、且つ画像信号線と走査信号線との各交点近傍位置にそれぞれ画素スイッチング素子が形成されたアレイ基板を備え、前記走査信号線に走査信号を伝達する走査信号線駆動回路及び前記画像信号線に画像信号を伝達する画像信号線駆動回路が、前記アレイ基板上に形成された半導体層により構成され、線順次駆動方式により表示を行う液晶表示パネルにおいて、前記画像信号線の一方側の端部には、前記画像信号線駆動回路が接続され、画像信号線の他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路が接続されており、この画素欠陥検査用回路は、前記アレイ基板上に形成された半導体層により構成されていることを特徴とする。

【0011】上記の如く画素欠陥検査用回路を設けることにより、線順次駆動方式の液晶表示パネルにおいて、液晶注入工程前の状態で画素欠陥の検査を行うことが可能となる。そのため、画素欠陥を内包するアレイ基板に液晶を注入して欠陥のある液晶表示パネルを製造する無駄を排除することができ、最終製品の歩留まりを向上することができる。

【0012】尚、画素欠陥を検査するに際しては、液晶注入工程前のアレイ基板の状態において、画像信号電圧を印加することによりアレイ基板を駆動し、1走査信号線上の各画素に蓄積された電荷を放電電圧波形（または放電電流波形）として1走査信号線毎に取り出し、この取出された放電電圧波形を画素欠陥検査用回路により検査し、画素欠陥の存否を判断する。このように、1走査信号線毎に画素欠陥の検査を行うことができるので、1画素毎に画素欠陥検査を行う従来例に比べて、検査効率の向上を図ることができる。

【0013】また請求項2記載の発明は、請求項1記載の液晶表示パネルにおいて、前記画素欠陥検査用回路

は、各画像信号線毎に設けられ、各画像信号線を介して1走査信号線毎に読み出された各画素毎の容量に蓄積されている電荷の放電電流値または放電電圧値と、予め定めた基準値とを比較して、大小関係に応じた論理値に変換して出力する比較回路と、前記各比較回路からの出力の論理積を求めて出力する論理回路と、を有することを特徴とする。

【0014】上記した構成により、例えば、放電電圧値が予め定めた基準値以上るとき、比較回路は論理「1」を出力し、放電電圧値が予め定めた基準値未満るとき、比較回路は論理「0」を出力する。従って、1走査信号線毎に読み出された各画素全てに関して、その放電電圧値が予め定めた基準値以上の場合のみ、論理回路の出力は論理「1」となる。放電電圧値が予め定めた基準値未満となる画素が少なくとも1以上あれば、論理回路の出力は論理「0」となる。一方、画素欠陥が存在する場合は、画素の容量に電荷が殆ど蓄積されないため、放電電圧値が基準値未満となり、画素欠陥が存在しない場合は、画素の容量に十分な電荷が蓄積されるため、放電電圧値が基準値以上となる。よって、論理回路の出力の論理状態により、画素欠陥の有無を検出することが可能となる。

【0015】また請求項3記載の発明は、請求項2記載の液晶表示パネルにおいて、前記比較回路と前記論理回路との間に、比較回路の出力パルスのパルス幅を広げる信号処理回路が設けられていることを特徴とする。

【0016】上記の如く、比較回路の出力パルスのパルス幅を広げることにより、検査精度の向上を図ることができる。

【0017】また請求項4記載の発明は、複数の画像信号線と複数の走査信号線とがマトリクス状に形成され、且つ画像信号線と走査信号線との各交点近傍位置にそれぞれ画素スイッチング素子が形成されたアレイ基板を備え、前記走査信号線に走査信号を伝達する走査信号線駆動回路及び前記画像信号線に画像信号を伝達する画像信号線駆動回路が、前記アレイ基板上に形成された半導体層により構成され、点順次駆動方式により表示を行う液晶表示パネルにおいて、前記画像信号線の一方側の端部には、前記画像信号線駆動回路が接続され、画像信号線の他方側の端部には、画素欠陥を検査するための画素欠陥検査用回路が接続されており、この画素欠陥検査用回路は、前記画像信号線駆動回路と同一の回路構成を有し、且つ前記アレイ基板上に形成された半導体層により構成されていることを特徴とする。

【0018】上記の如く、画素欠陥検査用駆動回路が画像信号線駆動回路と同一回路構成であるため、画像信号線駆動回路が不良により正常に動作しない場合、画素欠陥検査用駆動回路を画像信号線駆動回路に転用することができ、最終製品の歩留まりを向上することができる。

【0019】

10

20

30

40

50

【発明の実施の形態】（実施の形態 1）図 1 は実施の形態 1 に係る液晶表示パネルの一部分を示す斜視図であり、図 2 は実施の形態 1 に係る液晶表示パネルの回路図である。本発明に係る液晶表示パネルは、液晶表示部を駆動するための駆動回路が、アレイ基板に一体的に形成された、いわゆる駆動回路内蔵型の液晶表示パネルである。また、この液晶表示パネルは、線順次駆動方式の液晶表示パネルである。液晶表示パネルは、アレイ基板 1 1 と、アレイ基板 1 1 に対向する対向基板 1 2 と、アレイ基板 1 1 と対向基板 1 2 間に挟持された液晶層 1 3 とを有する。アレイ基板 1 1 及び対向基板 1 2 は、共に、透明なガラス基板である。アレイ基板 1 1 の表面には、複数の走査信号線 V_1, V_2, \dots, V_n （走査信号線を総称するときは参照符号 V で示す）と、各走査信号線 V に直交する複数の画像信号線 S_1, S_2, \dots, S_n （画像信号線を総称するときは参照符号 S で示す）と、画像信号線 S と走査信号線 V の各交点に対応して配置される複数の画素スイッチング素子としての低温ポリシリコン薄膜トランジスタ（以下、 TFT と略称する）1 5…と、複数の画素電極 1 6…とが形成されている。 TFT 1 5 のソース電極 1 5 a は、画像信号線 S に接続され、 TFT 1 5 のゲート電極 1 5 b は走査信号線 V に接続されている。また、 TFT 1 5 のドレイン電極 1 5 c は、液晶容量 CL_c 及び保持容量 $Cstg$ に共通に接続されている。尚、これら複数の TFT 1 5…、複数の画素電極 1 6…、画像信号線 S 及び走査信号線 V などにより、液晶表示部 5 が構成されている。

【0 0 2 0】更に、アレイ基板 1 1 上の液晶表示部 5 の周辺部には、画像信号を画像信号線 S を介して伝達する画像信号線駆動回路 1 7 と、走査信号線 V を介して TFT 1 5 のゲート電極 1 5 b に走査信号を伝達する走査信号線駆動回路 1 8 と、画素欠陥を検出する画素欠陥検査用回路 2 0 とが設けられている。画像信号線駆動回路 1 7 は、画像信号線 S の一方の端部に接続されており、画素欠陥検査用回路 2 0 は、画像信号線 S の他方の端部に接続されている。ここで、画素欠陥検査用回路 2 0 により検査対象となる画素欠陥とは、 TFT 1 5 の機能欠陥のため、その TFT 1 5 の対応する画素が全く表示されないか、或いは表示されたとしても所定の明るさに満たない場合などを意味する。

【0 0 2 1】また、前記対向基板 1 2 の内側表面には、透明導電膜から成る対向電極 2 1 が形成されており、対向基板 1 2 の外側表面には、偏光板 2 2 が形成されている。また、前記アレイ基板 1 1 の外側表面には、偏光板 2 3 が形成されている。尚、画素欠陥検査用回路 2 0、画像信号線駆動回路 1 7 及び走査信号線駆動回路 1 8 は、 TFT 1 5 と同一の製造プロセスでアレイ基板 1 1 上に作り込まれた、いわゆる内蔵回路である。

【0 0 2 2】図 3 は画像信号線駆動回路及び画素欠陥検査用回路の具体的な構成を示す回路図である。画像信号

線駆動回路 1 7 は、シフトレジスタ回路 3 0 と、画像データライン部 3 1 と、サンプルホールド回路 3 2 と、バッファ回路 3 3 と、アナログスイッチ a_1, a_2, \dots, a_n とから構成されている。このような構成の画像信号線駆動回路 1 7 による線順次駆動の表示動作の概略を説明すると、まず、シフトレジスタ回路 3 0 からのドットタイミング信号が、サンプルホールド回路 3 2 に与えられる。これにより、サンプルホールド回路 3 2 は、ドットタイミング信号に応じて画像データライン部 3 1 より送られてきた画像信号を順次サンプルホールドしていく。そして、サンプルホールド回路 3 2 が 1 走査分のデータをサンプル・ホールドし終え、1 走査分のデータがサンプルホールド回路 3 2 からバッファ回路 3 3 に送り込まれる。その後、バッファ回路 3 3 は、1 水平走査期間に相当する時間をかけて各画像信号線 S_1, S_2, \dots, S_n に同時にデータを書き込む。このような動作が 1 走査信号線毎に順次行われ、1 フレームの画像データが書き込まれることになる。

【0 0 2 3】また前記画素欠陥検査用回路 2 0 は、各画像信号線 S 毎に設けられる比較回路 B_1, B_2, \dots, B_n （比較回路を総称するときは参照符号 B で示す）と、アンド回路 A_1, A_2, \dots, A_{n-1} （アンド回路を総称するときは参照符号 A で示す）から構成されている。アンド回路 A_1 の一方の入力端子は比較回路 B_1 の出力ラインに接続され、アンド回路 A_1 の他方の入力端子は比較回路 B_2 の出力ラインに接続されている。またアンド回路 A_2, A_3, \dots, A_{n-1} の一方の入力端子は、それぞれ前段のアンド回路（例えばアンド回路 A_{n-1} に関する前段のアンド回路とは、アンド回路 A_{n-2} を意味する）の出力ラインに接続され、アンド回路 A_2, A_3, \dots, A_{n-1} の他方の入力端子は、それぞれ比較回路 B_2, B_3, \dots, B_n の出力ラインに接続されている。前記比較回路 B は、各画像信号線 S を介して 1 走査信号線 V 毎に読み出された各画素毎の容量に蓄積されている電荷の放電電圧値と、予め定めた基準電圧値 V_{ref} とを比較し、大小関係に応じた論理値に変換して出力する機能を果たす。例えば、放電電圧値が基準電圧値 V_{ref} 以上のときには、比較回路 B は論理「1」を出力し、放電電圧値が基準電圧値 V_{ref} 未満のときには、比較回路 B は論理「0」を出力する。尚、放電電圧値に代えて放電電流値を読み出しように構成してもよい。

【0 0 2 4】このような画素欠陥検査用回路 2 0 による画素欠陥検査の概要を説明すると、液晶注入工程前の TFT アレイ基板の状態において、画像信号電圧を印加することにより TFT アレイ基板を駆動し、アレイ基板内部において 1 走査信号線 V 上の各画素に蓄積された電荷を放電電圧波形として、1 走査信号線 V 毎に取り出して、画素欠陥検査用回路 2 0 により検査し、画素欠陥の存否を認識するものである。

【0 0 2 5】図 4 は画素欠陥検査の動作を説明するため

のタイミングチャートである。図4を参照して、画素欠陥検査の具体的な動作を説明する。まず、図4(a)に示すように、走査信号線V1に選択パルスを印加して、走査信号線V1に接続されているすべてのTFT15を所定期間だけON状態にする。これに同期して、アナログスイッチa1, a2, a3, ..., anをON状態にする。これにより、図4(b)に示すように、サンプルホールド回路32に保持されている画像信号電圧が画像信号線Sに読み出され、走査信号線V1に接続されている各TFT15...に関連する容量(液晶容量CLc及び保持容量Cstgに相当する)に同時に充電が行われる。尚、ここで使用される画像信号電圧としては、TFT15に関連する液晶容量CLcに十分に充電が行われるように使用画像信号電圧範囲のうちの最高レベルの電圧が用いられる。

【0026】次に、走査信号線V1に接続されているすべてのTFT15及びアナログスイッチa1, a2, a3, a4, ..., anをOFF状態として充電状態を保持する。その後、アナログスイッチa1, a2, a3, a4, ..., anをOFF状態にしたまま、TFT15のみを再度ON状態とする。これにより、図4(c)に示すように、各画素に蓄積された電荷が画像信号線Sを介して放電され、放電電圧(または放電電流)が画素欠陥検査用回路20に与えられる。

【0027】画素欠陥検査用回路20では、以下の信号処理により画素欠陥の有無を診断する。即ち、画素欠陥検査用回路20を構成する比較回路Bにおいて、基準電圧値Vrefと画像信号線Sを介して与えられた放電電圧値とが比較され、図4(d)に示すように、放電電圧値が基準電圧値Vref以上のときには比較回路Bは論理値「1」を出力し、放電電圧値が基準電圧値Vref未満のときには比較回路Bは論理値「0」を出力する。そして、比較回路Bの出力のアンド条件がアンド回路A1, A2, ..., An-1により求められ、検出端子DIVから出力される。従って、1走査信号線V上の全てのTFT15が正常である場合、検出端子DIVの出力は論理「1」になり、TFT15に欠陥がある場合(画素欠陥がある場合に相当する)は、検出端子DIVの出力は論理「0」になる。よって、検出端子DIVの出力の論理状態により、画素欠陥の有無を検出することが可能となる。

【0028】例えば、走査信号線V2と画像信号線S2の交点に関するTFT15の性能が不良である場合を想定する。走査信号線V1に接続されているすべてのTFT15の性能が良好であるので、図4(c)に示すように、放電電圧のピークが基準値Vref以上となる。従って、比較回路B1, B2, ..., Bnの出力は、図4

(d)に示すように、論理「1」となる。よって、検出端子DIVの出力は、図4(e)に示すように、論理「1」となる。次いで、走査信号線V2に接続されてい

るTFT15の検査が行われると、図4(c)に示すように、画像信号線S2に関する放電電圧のピークが基準値Vref未満となる。従って、比較回路B2の出力のみが、論理「0」で、残余の比較回路B1, B3, ..., Bnの出力は論理値「1」となる。よって、検出端子DIVの出力は、図4(e)に示すように、論理「0」となる。こうして、画素欠陥の有無に対応して、検出端子DIVの出力の論理レベルが変化し、これにより画素欠陥の有無を認識することが可能となる。

【0029】尚、基準値Vrefは、TFTの性能として許容できる電圧レベルまで充電能力を有するか否かにより、設定すればよい。例えば、TFTの性能欠陥により対応する画素が全く表示されない状態を画素欠陥と考えるときは、基準値Vrefをほぼ0レベルに設定すればよい。また、対応する画素が全く表示されない状態ではないが、所定の明るさに満たない状態を画素欠陥と考えるときは、所定の明るさが得られる電圧レベルを基準値Vrefに設定すればよい。このようにして、基準値Vrefを任意に設定することにより、TFTの性能として許容できる範囲においての画素欠陥を検査することができる。また、本実施の形態1では、1走査信号線毎に画素欠陥を検査することができ、1画素毎に検査を行う従来例に比べて、短時間で検査を行うことができ、検査効率の向上を図ることができる。

【0030】尚、具体的に画素欠陥の有無を認識するためには、例えば、図5に示すような発光装置25の入力端子I1に、検出端子DIVを接続するようにすればよい。検出端子DIVの出力が論理「1」のときは、トランジスタTrがON状態となり、発光ダイオードDに順方向電流が流れ、発光ダイオード26が点灯する。検出端子DIVの出力が論理「0」のときは、トランジスタTrがOFF状態となり、発光ダイオード26に電流が流れず、発光ダイオード26は点灯しない。こうして、画素欠陥の有無を目視により認識することができる。尚、発光ダイオード26に代えて、ブザー等により画素欠陥の有無を認識するようにしてもよい。また、上記実施の形態では、画素欠陥検査用回路20において2入力アンド回路が用いられたけれども、3以上の多数入力アンド回路を用いる構成であってもよい。

【0031】(実施の形態2)図6は実施の形態2に係る液晶表示パネルの画素欠陥検査用回路の構成を示す回路図である。実施の形態2では、上記実施の形態1における画素欠陥検査用回路20に代えて画素欠陥検査用回路20Aが用いられる。この画素欠陥検査用回路20Aは、比較回路B1, B2, ..., Bnとアンド回路A1, A2, ..., Anとの間に、T形フリップフロップFF1, FF2, ..., FFn(T形フリップフロップを総称するときは参照符号FFで示す)がそれぞれ介在するように構成されている。このような構成により、後述するように、アンド回路Aへの入力信号のパルス幅を大きく

することが可能となる。

FFの動作機能を表1に示す。

【0032】ここで、図7に示すT形フリップフロップ

【表1】

プリセット 入力 *PR	クリア 入力 *CL	カウント 入力 T	出力		動作状態
			Q	*Q	
0	0	任意値	1	1	禁止モード
0	1	任意値	1	トグル	一方の出力のみ 1レベル 他はトグル
1	0	任意値	トグル	1	
1	1	$\overline{n-1}/n$	*Q _{n-1}	Q _{n-1}	トグル動作
1	1	$\overline{n-1}/n$	Q _{n-1}	*Q _{n-1}	変化せず

【0033】図7及び表1において、記号「*」は反転を意味するものとする。例えば、*PRはPRの反転を意味し、*CLはCLの反転を意味し、*QはQの反転を意味する。

【0034】次いで、上記表1を参考にしつつ、本実施の形態2の画素欠陥検査用回路の動作を説明する。画素欠陥の検査処理は、基本的には実施の形態1と同様である。但し、画素欠陥検査用回路にT形フリップフロップFFを備える構成としたことにより、画素欠陥検査用回路20Aにおける検査処理が画素欠陥検査用回路20とは異なる。まず、実施の形態1と同様に、走査信号線V1に選択パルス印加し、走査信号線V1に接続している全てのTFT15…を所定時間ON状態にする。これと同期して、アナログスイッチa1, a2, a3, …, anをON状態にしてサンプルホールドしている画像信号を入力して、各TFT15に関連する液晶容量C_{LC}に画像信号線Sを通じて同時に充電が行なわれる。次いで、TFT15…及びアナログスイッチa1, a2, a3, a4, …, anをOFF状態として充電状態を保持した後、再度TFT15…をON状態とすることによって、各画素に蓄積された電荷の放電電圧（または放電電流）を画素欠陥検査用回路20Aに与え、走査信号線V1に関する画素の欠陥を検出する。走査信号線V1に関して画素欠陥がないと判断した場合は、上記の走査信号線V1に関する検査処理と同様の処理を、走査信号線V2について行い、画素欠陥がなければ、同様な検査処理を走査信号線V3, V4, …と順次行っていく。

【0035】図8は画素欠陥検査用回路20Aの動作を示すタイミングチャートである。尚、図8は走査信号線V1及びフリップフロップFF1に関連する波形のみを描いている。以下、説明の便宜上、走査信号線V1及び

フリップフロップFF1に関連する動作を中心に説明する。上記のように走査信号線V1に接続しているTFT15に関連する液晶容量C_{LC}が、図8(c)に示すように放電され、画像信号線B1の出力が、図8(d)に示すよう状態となった場合を想定する。ここで、画像信号線B1の出力はフリップフロップFF1のカウント入力Tに相当する。従って、図8(d)に示すよう、時刻t1において、フリップフロップFF1のカウント入力Tが論理「0」から論理「1」に変化する。一方、この時刻t1では、図8(e)に示すようにプリセット*PRは論理「1」であり、且つクリア*CLも図8(f)に示すように論理「1」であるので、フリップフロップFF1は表1よりトグル動作状態である。よって、出力Qは*Q_{n-1}となる。ここで、Q_{n-1}は時刻t1以前のQの出力を意味するので、図8(g)に示すように、Q_{n-1}は論理「0」である。従って、*Q_{n-1}は論理「1」となり、出力Qは図8(g)に示すようにカウント入力Tの立ち上がりエッジである時刻t1において論理「1」に変化する。そして、時刻t2まで論理「1」を維持する。尚、カウント入力Tが論理「1」から論理「0」に変化しても、表1より出力Qに変化はない。そして時刻t2では、クリア*CLが論理「1」から論理「0」に変化するので、このときの出力Qは表1よりトグル動作となる。よって、出力Qは、図8(g)に示すように、時刻t2において論理「1」から論理「0」に変化する。

【0036】こうして得られた図8(g)に示す出力Qと、図8(d)に示すカウント入力Tとを比較すれば、出力Qの方がカウント入力Tよりも、パルス幅が大きくなっていることが認められる。このことは、他のフリップフロップFF2, …FFnの出力に関しても同様であ

る。こうして、比較回路Bとアンド回路Aとの間に、T形フリップフロップFFをそれぞれ介在する構成とすることにより、アンド回路Aへの入力信号のパルス幅を大きくすることが可能となり、画素欠陥検査用回路20Aの精度を向上することができる。尚、後続するアンド回路Aの信号処理は、実施の形態1と同様であり、1走査信号線V上の全てのTFTが正常である場合には、検出端子DIVの出力が論理「1」になり、画素欠陥がある場合には、検出端子DIVの出力が論理「0」になり、画素欠陥の有無を識別することが可能となる。

【0037】（実施の形態3）図9は実施の形態3に係る液晶表示パネルの全体構成図である。この実施の形態3は、実施の形態1に類似し対応する部分には同一の参照符号を付す。上記実施の形態1では線順次駆動方式の液晶表示パネルであったけれども、本実施の形態3では点順次駆動方式の液晶表示パネルである点が異なる。従って、本実施の形態3では、実施の形態1における画像信号線駆動回路17に代えて点順次駆動用の画像信号線駆動回路17Aが用いられる。この画像信号線駆動回路17Aは、各画像信号線S1, S2, S3, ..., Snに接続するアナログスイッチa1, a2, a3, ..., anと、このアナログスイッチa1, a2, a3, ..., anをON状態にするパルスをドットタイミング信号で順番に送る走査用シフトレジスタ50とから構成されている。また、本実施の形態3における画素欠陥検査用回路20Bは、各画像信号線Sに接続するアナログスイッチa12, a22, a32, a42, ..., an2と、このアナログスイッチa12, a22, a32, a42, ..., an2をON状態にするパルスをドットタイミング信号で順番に送るシフトレジスタ62とから構成されており、画像信号線駆動回路17Aと同じ回路構成となっている。

【0038】次に、本実施の形態3における画素欠陥の検査処理を説明する。本実施の形態3における画素欠陥検査は、基本的には上記実施の形態1と同様である。但し、本実施の形態3の液晶表示パネルでは、点順次駆動方式により駆動されるため、各画素を構成するTFT15に関連する液晶容量CLcに蓄積した電荷を放電電圧波形として画素欠陥検査用回路20Bより1画素毎に検出する点において相違する。以下に具体的に説明する。例えば、走査信号線V1を選択し、ゲート電圧が印加されている期間に、シフトレジスタ50を走査させアナログスイッチa1, a2, a3, a4, ..., anを順次ON状態にする。これにより、画像データが、データラインD1を介して、画像信号線S1, S2, ..., Snに順次導出され、対応する各画素を構成するTFT15に関連する液晶容量CLcが充電される。次いで、アナログスイッチa1, a2, a3, a4, ..., anをOFF状態にする。

【0039】次いで、画素欠陥検査用回路20Bを構成

するシフトレジスタ62を走査させ、各TFT15に関連する液晶容量CLcに蓄積された電荷を放電する。すなわち、シフトレジスタ62を走査させてアナログスイッチa12, a22, a32, a42, ..., an2をこの順序で順次にONさせることにより、このスイッチa12, a22, a32, a42, ..., an2を介して1画素毎の電荷を放電電圧波形（または放電電流波形）としてデータラインD2より取り出す。尚、具体的に画素欠陥の有無の判断は、例えば従来例（特開平7-77553号公報）に開示されている画素欠陥検査装置を使用すればよい。即ち、データラインD2より取り出された放電電圧波形を、当該画素欠陥検査装置に入力して、画素欠陥の有無を検査すればよい。

【0040】また、上記のように画像信号線Sの一方の端部から画像信号を書き込み、この書き込まれた画像信号を画像信号線Sの他方の端部から読み出すため、例えば選択パルスが印加された走査信号線Vと画像信号線Sとの交点から画素欠陥検査用回路20Bまでの間に線欠陥が存在している場合に、そのことを併せて検査することが可能となる。例えば、図9に示す画像信号線S2上の×印の位置に線欠陥が存在している場合、第1行、第2列の画素の欠陥を検査する際に放電電圧波形を画素欠陥検査用回路20Bが読み出すことができず、データラインD2より取り出された電圧波形はほぼ0レベルとなり、線欠陥が検出される。このようにして、画素欠陥のみならず、線欠陥をも検査することができるので、検査効率を向上することができる。なぜなら、画素欠陥の検査処理中において線欠陥が検出されると、その線欠陥の存在するTFTアレイ基板は破棄されるので、それ以降に画素欠陥検査をする必要がなくなるからである。

【0041】尚、本実施の形態3では、画素欠陥検査用駆動回路20Bが画像信号線駆動回路17Aと同一回路構成であるため、画像信号線駆動回路17Aが不良により正常に動作しない場合、画素欠陥検査用駆動回路20Bを画像信号線駆動回路17Aに転用することができるという特有の効果を有する。

【0042】次に、上記実施の形態1～3において使用される走査信号線駆動回路18、画像信号線駆動回路17, 17A及び画素欠陥検査用回路20, 20A, 20B等の内蔵回路を構成するポリシリコン薄膜トランジスタの製造方法を、図10を参照して説明する。まず、例えば至み点670℃の透光性ガラスからなるガラス基板100上に、例えばSiO₂といった材料からなる下地絶縁膜101を、450℃の温度条件での常圧CVD法といった手法にて成膜する。下地絶縁膜101の膜厚は、例えば2000Åとする。

【0043】下地絶縁膜101を生成した後、a-Si:H（アモルファスシリコンと水素との化合物）から成る半導体材料膜102'をプラズマCVD法にて所定の膜厚（例えば500Å）となるように成膜し、さらに

リソグラフィー工程にて所定の形状にパターンニングする。パターンニングした半導体材料膜102'に対して所定の条件（例えば処理温度450℃、処理時間60分）で脱水素処理を行う。この工程は、結晶化を行う際に水素の脱離による半導体材料膜102'のアブレーションの発生を防ぐことを目的としている。

【0044】脱水素後、波長380nmのXeClエキシマレーザの照射といった手法により、半導体材料膜102'の結晶化を行い、半導体材料膜102'をp-Siの半導体層102にする（図10（a）参照）。 10

【0045】次に、半導体層102上に例えばSiO₂からなるゲート酸化膜103を450℃の温度条件で常圧CVD法により、例えば1000Åといった極薄い膜厚に成膜する。ゲート酸化膜103の成膜後、Al等からなる導電膜104'を所定の膜厚（例えば3000Å）となるようにスパッタリング等の手法により形成する。そして、導電膜104'をAlエッチング液を用いたリソグラフィー工程にて、所定の形状にパターンニングし、これより、導電膜104'をゲート電極104にする（図10（b）参照）。

【0046】次に、ゲート電極104をマスクとして半導体層102の両側部位に、イオンドーピング法等の手法を用いてリン、ボロンなどの不純物をイオンに注入する（セルフアライン構成）。これにより、半導体層102には、中央部にチャネル領域102aが、チャネル領域102aの両側にソース領域102b及びドレイン領域102cがそれぞれ形成される（図10（c）参照）。

【0047】次に、ゲート酸化膜103上にSiO₂等からなる層間絶縁膜105を所定の膜厚（例えば4000Å）に形成し、形成した層間絶縁膜105によってゲート電極104を被覆する。層間絶縁膜105は、例えば、450℃の温度条件での常圧CVD法にて成膜する（図10（d）参照）。 30

【0048】次に、層間絶縁膜105とゲート絶縁膜103とに、リソグラフィー工程を用いて、ソース領域102b、ドレイン領域102cに達するコンタクトホール106を形成する。コンタクトホール106を形成したのち、層間絶縁膜105上に、Ti膜、Al膜等の2種類の導電体の積層体からなる導電膜107'を形成する。導電膜107'は例えば、スパッタリングにより形成する。またTi膜の膜厚は例えば1000Åが適当であり、Al膜の膜厚は例えば7000Åが適当である。このようにして形成した導電膜107'によりコンタクトホール106を完全に充填する。さらに、導電膜107'をBC13/C12系ガスをを用いたリソグラフィー工程にて所定の形状にパターンニングすることで、ソース・ドレイン電極107を形成する（図10（e）参照）。

【0049】次に保護膜となるパッシベーション膜10 50

8を成膜する。続いて、処理温度350℃、重水素ガス流量300sccm、RFパワー800Wの条件下で、2時間のプラズマ水素化処理を行う。最後に、リソグラフィー工程にて、パッシベーション膜108を所定の形状にてパターンニングすることで、内蔵駆動回路を構成する薄膜トランジスタが完成する。

【0050】上記実施の形態1～3では、低温ポリシリコンTFTを用いたけれども、他の単結晶質或いは多結晶質半導体材料により構成されるTFTを用いるようにしてもよい。

【0051】また、液晶表示部5のマトリクスを構成するTFTがアモルファスTFT、内蔵回路（走査信号線駆動回路18、画像信号線駆動回路17、17A及び画素欠陥検査用回路20、20A、20B）を構成するTFTが低温ポリシリコンTFTというように、表示部と内蔵駆動回路が異なる材料を用いたTFTで構成するようにしてもよい。

【0052】

【発明の効果】以上のように本発明によれば、線順次駆動方式の液晶表示パネルについて、液晶注入工程以前のアレイ基板の状態において画素欠陥を検出することができ、従って、画素欠陥のある液晶表示パネルを製造する無駄を排除することができ、最終製品の歩留まりを向上することができる。 20

【0053】また、1走査信号線毎に画素欠陥を検査できるため、1画素毎に検査する従来例に比べて検査効率の向上を図ることができる。

【0054】また、点順次駆動方式の液晶表示パネルについて、画素欠陥検査用駆動回路が画像信号線駆動回路と同一回路構成であるため、画像信号線駆動回路が不良により正常に動作しない場合、画素欠陥検査用駆動回路を画像信号線駆動回路に転用することができ、最終製品の歩留まりを向上することができる。

【図面の簡単な説明】

【図1】実施の形態1に係る液晶表示パネルの一部分を示す斜視図である。

【図2】実施の形態1に係る液晶表示パネルの回路図である。

【図3】実施の形態1に係る液晶表示パネルに使用される画像信号線駆動回路及び画素欠陥検査用回路の具体的な構成を示す回路図である。 40

【図4】実施の形態1の画素欠陥検査の動作を説明するためのタイミングチャートである。

【図5】発光装置の回路図である。

【図6】実施の形態2における画素欠陥検査用回路の構成を示す回路図である。

【図7】T型フリップフロップの回路図である。

【図8】実施の形態2における画素欠陥検査用回路の動作を示すタイミングチャートである。

【図9】実施の形態3に係る液晶表示パネルの全体構成

15

16

図である。

【図 10】 ポリシリコン T F T の製造工程を示す断面図である。

【符号の説明】

11 : アレイ基板
12 : 対向基板
13 : 液晶層
15 : T F T
16 : 画素電極

17, 17A : 画像信号線

18 : 走査信号線

20, 20A, 20B : 画素欠陥検査用回路

A1, A2, ..., An-1 : アンド回路

B1, B2, ..., Bn : 比較回路

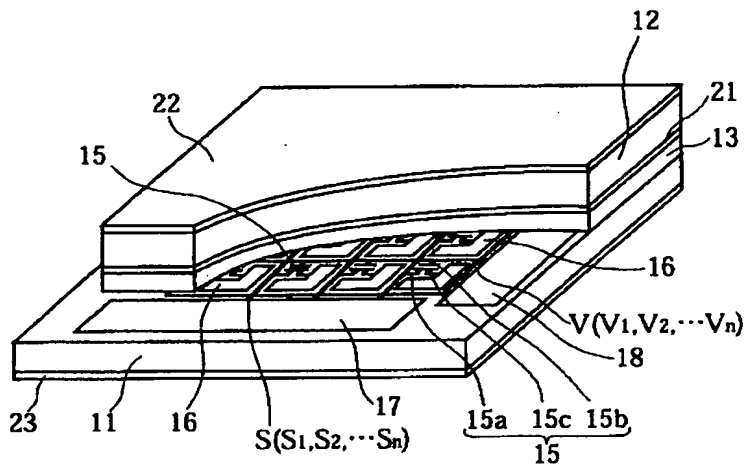
V1, V2, ..., Vn : 走査信号線

S1, S2, ..., Sn : 画像信号線

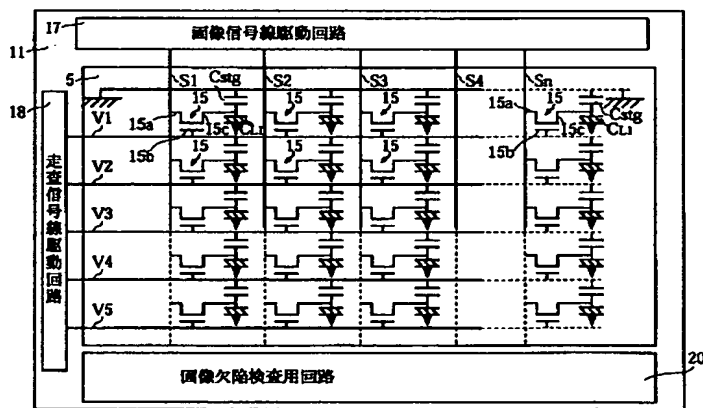
FF1, FF2, ..., FFn : フリップフロップ

DIV : 検出端子

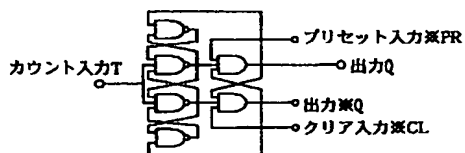
【図 1】



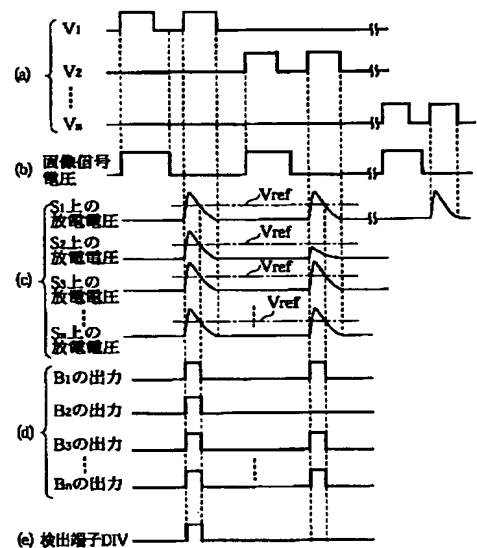
【図 2】



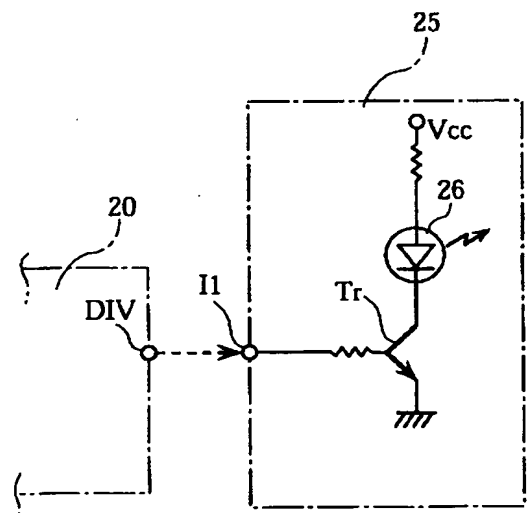
【図 7】



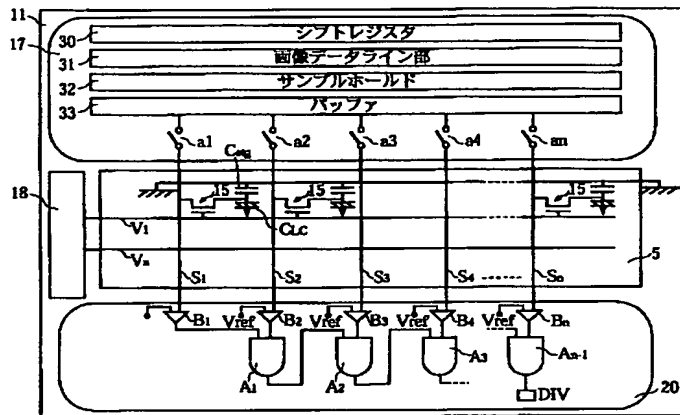
【図 4】



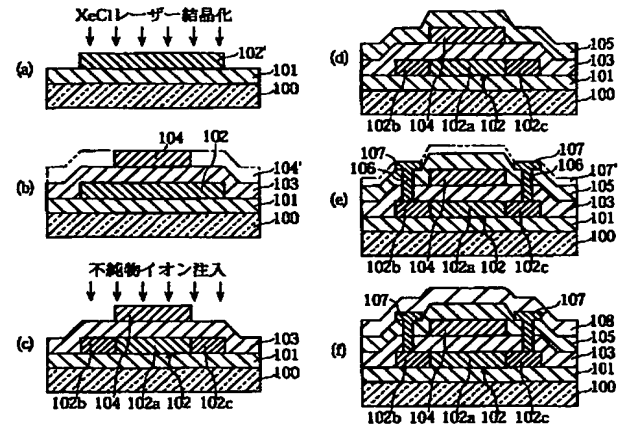
【図 5】



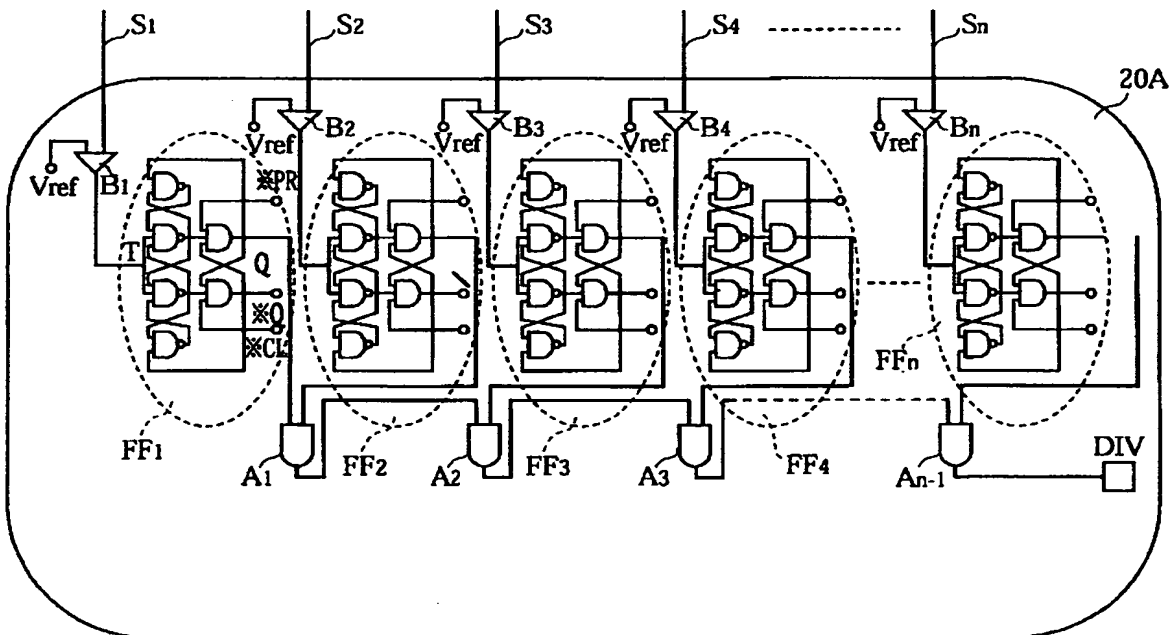
【図 3】



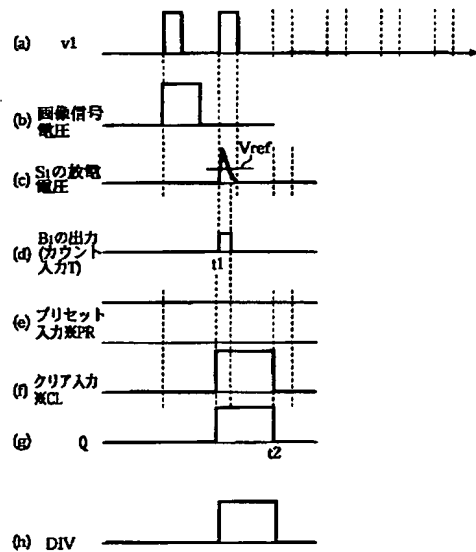
【図 10】



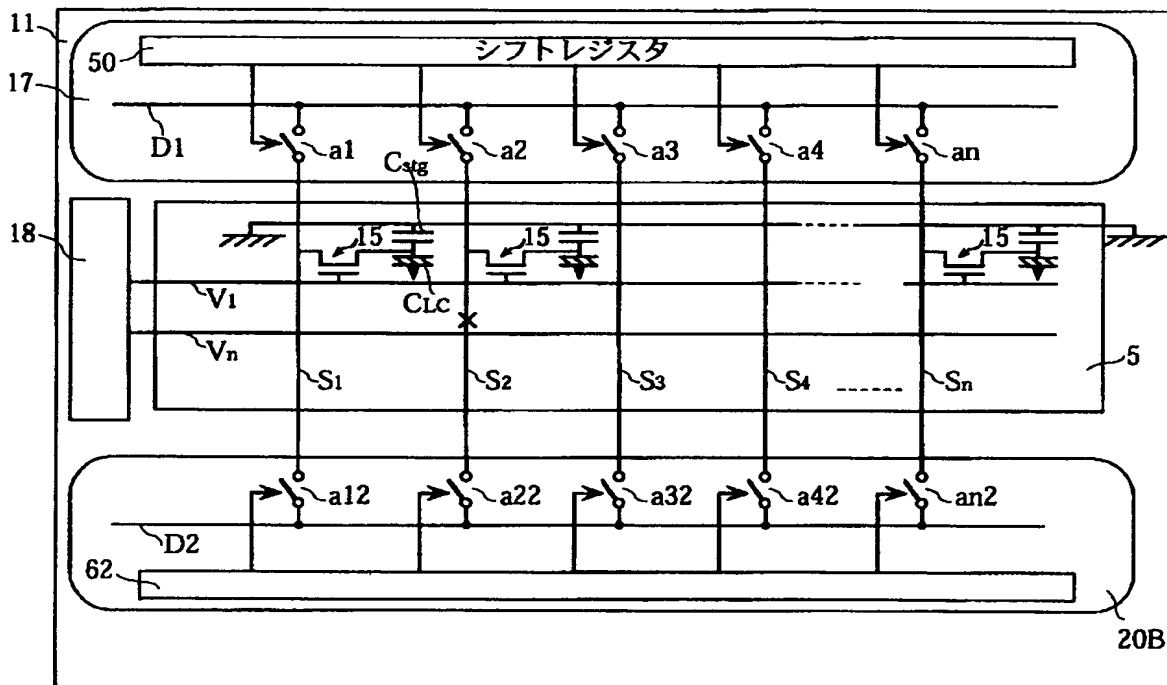
【図 6】



【図 8】



【図 9】



フロントページの続き

(72) 発明者 中村 美香
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

F ターム(参考) 2H092 GA59 HA28 JA24 JA35 JA39
JA43 JA44 JB57 JB77 KA03
KA04 KA05 KA10 KA12 KA18
KB25 MA05 MA07 MA08 MA18
MA27 MA30 MA37 MA41 MA57
MA58 NA13 NA29 NA30 PA06
5C006 AC02 AF44 AF51 AF53 BB16
BC20 BF03 BF06 BF11 BF14
BF26 BF31 BF43 EB01 EB04
FA00